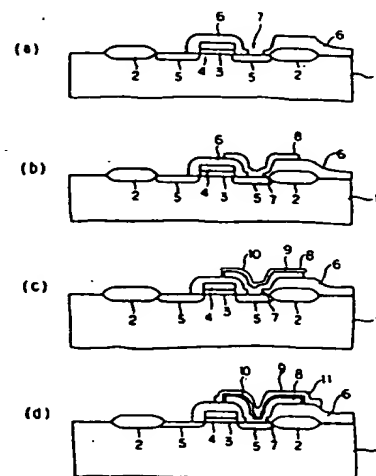


**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 4-127463 (A) (43) 28.4.1992 (19) JP  
 (21) Appl. No. 2-249508 (22) 18.9.1990  
 (71) FUJITSU LTD (72) JUN SAKUMA(1)  
 (51) Int. Cl.<sup>5</sup> H01L27/04, H01L21/316, H01L27/108

**PURPOSE:** To form a thin silicon oxide film having a uniform film thickness and long life on a silicon nitride film by forming the silicon oxide film in a dry oxygen atmosphere which is lower in reactivity than the conventional steam oxidizing atmosphere.

**CONSTITUTION:** After a silicon nitride film 9 made of  $\text{Si}_3\text{N}_4$  and having a film thickness of, for example, 70 Å is formed so as to cover a capacitor electrode 8 by, for example, a CVD method and RIE, a silicon oxide film 10 having a film thickness of, for example, 6 Å is formed on the film 9 by oxidizing the surface of the film 9 in a dry oxygen atmosphere heated to, for example, 850°C. As a result, a capacitor insulating film composed of the silicon nitride film 9 and silicon oxide film 10 is formed. When a capacitor counter electrode 11 made of polysilicon and having a film thickness of, for example, 1,500 Å is formed by, for example, a CVD method and RIE so as to cover the silicon oxide film 10, a capacitor constituted of the capacitor insulating film composed of the capacitor electrode 8 and silicon oxide film 10 and the capacitor counter electrode 11 is formed.

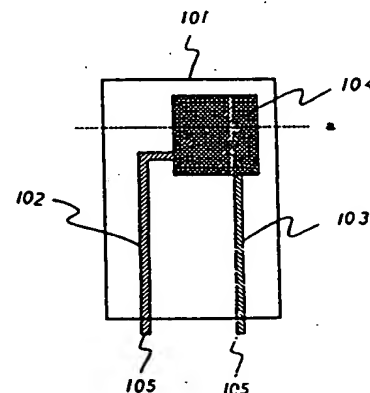


X **(54) POWER SUPPLY CAPACITOR CELL FOR INTEGRATED CIRCUIT DEVICE OF MASTER SLICE LAYOUT**

(11) 4-127464 (A) (43) 28.4.1992 (19) JP  
 (21) Appl. No. 2-248410 (22) 18.9.1990  
 (71) SEIKO EPSON CORP (72) HIROYUKI YANO  
 (51) Int. Cl.<sup>5</sup> H01L27/04, H01L21/82, H01L27/118

**PURPOSE:** To reduce electrical noise between power sources without increasing the area of an integrated circuit device of a master slice layout by providing a capacitor in the input-output cell arranging area of the integrated circuit device and connecting the capacitor between the power sources.

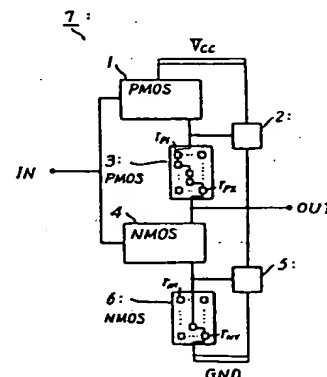
**CONSTITUTION:** A capacitor is constituted below a pad electrode opening by arranging the first and second layer metallic wiring 102 and 103 with an electrically insulating film in between. Power supply connecting terminals 105 respectively connect power supply wiring VDD and power supply wiring VSS. This power supply capacitor cell for integrated circuit device of the metal slice layout is formed into a cell in a way that it can be positioned at any location in the input-output cell arranging area of the integrated circuit device of master slice layout.

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(11) 4-127465 (A) (43) 28.4.1992 (19) JP  
 (21) Appl. No. 2-249884 (22) 18.9.1990  
 (71) FUJITSU LTD (72) TAKESHI KOYASHIKI(1)  
 (51) Int. Cl.<sup>5</sup> H01L27/06, H01L21/82, H01L27/04

**PURPOSE:** To variably set the equivalent resistance values of a PMOS and NMOS resistance sections by allowing the PMOS and NMOS resistance sections to respectively combine arbitrary resistance elements from a plurality of resistance elements.

**CONSTITUTION:** A PMOS resistance section 3 can arbitrarily set its equivalent resistance value to an arbitrary value by combining arbitrary resistance elements from a plurality of resistance elements  $\gamma_{P1}$ ,  $\gamma_{Px}$  and an NMOS resistance section 6 can also set its equivalent resistance value to an arbitrary value by combining arbitrary resistance elements from a plurality of resistance elements  $\gamma_{N1}$ ,  $\gamma_{Ny}$ . Thus this semiconductor integrated circuit device 7 can set the equivalent resistance values of the PMOS and NMOS resistance sections 3 and 6 at the manufacturing time so that the variation of the threshold voltage can be minimized in accordance with the number of inputs.



**This Page Blank (uspto)**

## ⑫ 公開特許公報(A)

平4-127464

4

⑤ Int. Cl.<sup>5</sup>H 01 L 27/04  
21/82  
27/04  
27/118

識別記号

D

庁内整理番号

7514-4M

C

7514-4M

7638-4M

7638-4M

H 01 L 21/82

P

M

⑬ 公開 平成4年(1992)4月28日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 マスタースライス方式集積回路装置用電源キャパシタセル

⑯ 特 願 平2-248410

⑰ 出 願 平2(1990)9月18日

⑱ 発 明 者 矢 野 博 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

おける電氣的雑音の低減化に関する。

## 1. 発明の名称

マスタースライス方式集積回路装置用電源  
キャパシタセル

## 〔従来の技術〕

従来のマスタースライス方式集積回路装置は、電源間の電氣的雑音を低減する為に、マスタースライス方式集積回路装置の外部電源間に、キャパシタを接続していた。

## 2. 特許請求の範囲

## 〔発明が解決しようとする課題〕

しかし、前述の従来技術ではキャパシタを、マスタースライス方式集積回路装置の外部に接続しているために、材料費の増加、組み立て費の増加、回路基板の大型化、という問題点を有する。

そこで本発明は、このような問題点を解決するもので、その目的とするところはマスタースライス方式集積回路装置の面積を増加させることなく、電源雑音の低減化を可能としたマスタースライス方式集積回路装置を提供するものである。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はマスタースライス方式集積回路装置に

〔課題を解決するための手段〕

本発明のマスタースライス方式集積回路装置用電源キャパシタセルは、

- a) マスタースライス方式集積回路装置の入出力セル領域内において、
- b) キャパシタを構成するセルを有し、
- c) 前記キャパシタは電源間に接続されており、
- d) かつ、前記セルは、入出力セル配置領域内の任意の位置に、配置可能になっていることを特徴とする。

#### (実施例)

第1図は、本発明の一実施例におけるマスタースライス方式集積回路装置用電源キャパシタセル全体の平面図であり、101はマスタースライス方式集積回路装置用電源キャパシタセル、102は第一層目金属配線、103は第二層目金属配線、104はパッド電極開口部であり、パッド電極開口部104の下には、第一層目金属配線102と第二層目金属配線103とが、電気的絶縁膜を

く、別の層の金属配線及び、集積回路装置基板との間にキャパシタを構成するようにしても、同様の効果が得られる。

第3図は、本発明の一実施例におけるマスタースライス方式集積回路装置の一部平面図であり、301はマスタースライス方式集積回路装置、302はリードフレーム、303はトランジスタ配置領域、304はVDD側電源配線、305はVSS側電源配線、306は本発明のマスタースライス方式集積回路装置用電源キャパシタセル（以下、キャパシタセルと略す）であり、キャパシタセル306は、前記第1図及び、第2図に示された構造をなしている。307は入出力セル、308はパッド電極開口部、309はボンディングワイヤーであり、前記キャパシタセル306の配置位置は、前記入出力セル307の配置されていない、入出力セル配置領域内に配置され、前記VDD側電源配線304、及び、前記VSS側電源配線305とに電気的に接続される。

なお、前記キャパシタセル306の使用個数は、

挟んで配置され、キャパシタを構成する。105は電源接続端子であり電源配線VDD及び、電源配線VSSが接続される。なお、マスタースライス方式集積回路装置用電源キャパシタセルは、マスタースライス方式集積回路装置の入出力セル配置領域内の任意の位置に配置できるようにセル化されている。

第2図は、第1図の線aにおける垂直縦方向の断面図であり、201、203、205は電気的絶縁膜、202は第一層目金属配線、204は第二層目金属配線とを示し、前記第一層目金属配線202と、前記第二層目金属配線204との間にキャパシタが形成される。206はマスタースライス方式集積回路装置基板、207はパッド電極開口部である。また、第2図の202、204、207は、それぞれ第1図の102、103、104と等しい。

なお、前記の実施例では、第一層目金属配線202と、第二層目金属配線204との間にキャパシタを形成しているが、これにとらわれることなく

任意である。

第4図は、第3図における等価回路を示した電気回路図であり、401は本発明のマスタースライス方式集積回路装置用電源キャパシタセルによる電気的容量を示す。第4図に示されているようにキャパシタセル401を接続することにより、電源間に発生する電気的雑音を、吸収することができる。

なお、第4図に示されているマスタースライス方式集積回路装置用電源キャパシタセル401は、第3図のマスタースライス方式集積回路装置用電源キャパシタセル306と同じものを示す。

#### (発明の効果)

以上、述べたように本発明によれば、マスタースライス方式集積回路装置の入出力セル配置領域内にキャパシタを設け、このキャパシタを電源間に接続する構造にしたため、マスタースライス方式集積回路装置の面積を増加させることなく、電源間の電気的雑音の低減化を可能とすることがで

きる。これにより、部品点数の減少、組み立て費の減少、集積回路装置の安定動作、回路基板の小型化などの効果を有する。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例におけるマスタースライス方式集積回路装置用電源キャパシタセル全体の平面図。

第2図は、第1図の線aにおける垂直縦方向の断面図。

第3図は、本発明の一実施例におけるマスタースライス方式集積回路装置の一部平面図。

第4図は、第3図における等価回路を示した電気回路図。

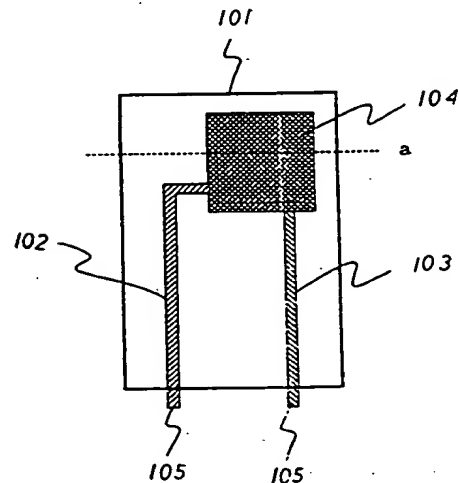
- 101 ……マスタースライス方式集積回路装置用電源キャパシタセル
- 102 ……第一層目金属配線
- 103 ……第二層目金属配線
- 104 ……パッド電極開口部
- 105 ……電源接続端子

置用電源キャパシタセル

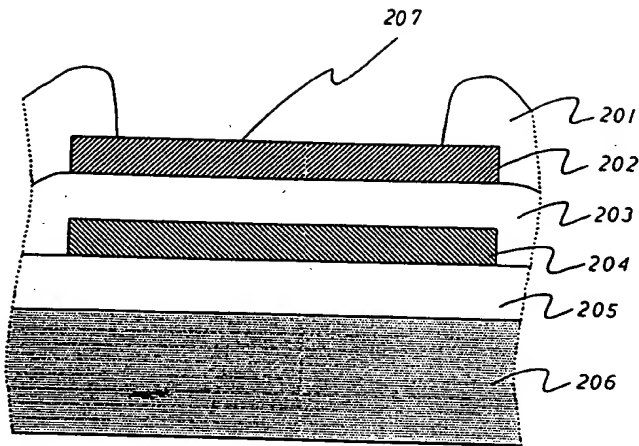
以上

出願人 セイコーエプソン株式会社  
代理人 弁理士 鈴木喜三郎(他1名)

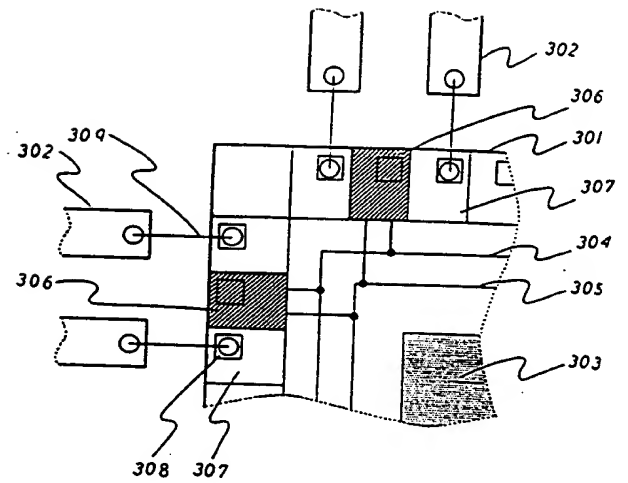
- 201, 203, 205 ……電気的絶縁膜
- 202 ……第一層目金属配線
- 204 ……第二層目金属配線
- 206 ……マスタースライス方式集積回路装置基板
- 207 ……パッド電極開口部
- 301 ……マスタースライス方式集積回路装置
- 302 ……リードフレーム
- 303 ……トランジスタ配置領域
- 304 ……VDD側電源配線
- 305 ……VSS側電源配線
- 306 ……マスタースライス方式集積回路装置用電源キャパシタセル
- 307 ……入出力セル
- 308 ……パッド電極
- 309 ……ボンディングワイヤー
- 401 ……マスタースライス方式集積回路装置



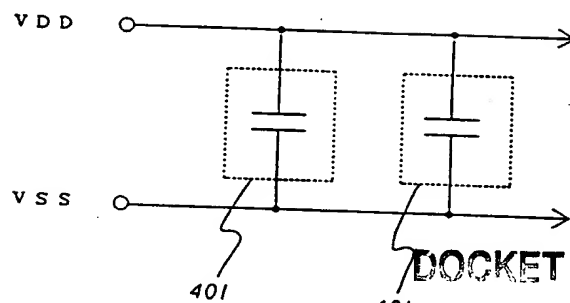
第 1 図



第 2 図



第 3 図



第 4 図

DOCKET NO. GK98P5933

SERIAL NO. \_\_\_\_\_

APPLICANT: Ehler et al

LEHNER AND GREENBERG, P.A.

P.O. BOX 2480

MIAMI, FLORIDA 33020

TEL. (305) 925-1100